

Docket No.: 56937-113

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 20277
	:	
Genichiro MATSUDA, et al.	:	Confirmation Number:
	:	
Serial No.:	:	Group Art Unit:
	:	
Filed: April 13, 2004	:	Examiner: Unknown
	:	
For: SEMICONDUCTOR APPARATUS	:	

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

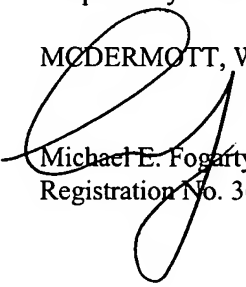
In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

Japanese Patent Application No. 2003-119923, filed April 24, 2003

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MODERMOTT, WILL & EMERY


Michael E. Fogarty
Registration No. 36,139

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 MEF:tlb
Facsimile: (202) 756-8087
Date: April 13, 2004

56937-113
MATSUDA, et al.
April 13, 2004

日 本 国 特 許 庁
JAPAN PATENT OFFICE

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 4 月 2 4 日
Date of Application:

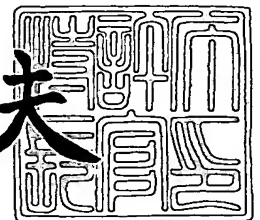
出 願 番 号 特 願 2 0 0 3 - 1 1 9 9 2 3
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 1 1 9 9 2 3]

出 願 人 松下電器産業株式会社
Applicant(s):

2 0 0 3 年 1 2 月 1 8 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 1 0 5 2 0 2

【書類名】 特許願

【整理番号】 5038240135

【あて先】 特許庁長官 殿

【国際特許分類】 G06F 11/22

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 松田 源一郎

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 島村 秋光

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 深津 元

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100086737

【弁理士】

【氏名又は名称】 岡田 和秀

【電話番号】 06-6376-0857

【手数料の表示】

【予納台帳番号】 007401

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1



【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9305280

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 通常動作時の入力とテスト動作時の入力とを切り替えて命令レジスタに出力する切替え手段と、

テスト動作時に起動されて擬似乱数を発生する擬似乱数発生回路とを備え、

テスト動作時において、前記擬似乱数発生回路を前記切替え手段を介して前記命令レジスタに接続し、前記擬似乱数発生回路からの擬似乱数を前記命令レジスタに入力するように構成してあることを特徴とする半導体装置。

【請求項 2】 通常動作時の入力とテスト動作時の入力とを切り替えて命令レジスタに出力する切替え手段と、

テスト動作時に起動されて擬似乱数を発生する擬似乱数発生回路と、

前記擬似乱数発生回路から入力する前記擬似乱数が未定義命令の場合には定義命令に変換した上で出力し、前記擬似乱数が定義命令の場合には入力した前記擬似乱数を出力する未定義命令変換回路とを備え、

テスト動作時において、前記擬似乱数発生回路を前記未定義命令変換回路および前記切替え手段を介して前記命令レジスタに接続し、前記擬似乱数発生回路からの擬似乱数を前記未定義命令変換回路および前記切替え手段を経由して前記命令レジスタに入力するように構成してあることを特徴とする半導体装置。

【請求項 3】 通常動作時の入力とテスト動作時の入力とを切り替えて命令レジスタに出力する切替え手段と、

テスト動作時に起動されて擬似乱数を発生する擬似乱数発生回路とを備えるとともに、

前記命令レジスタへの擬似乱数設定では故障検出が困難な故障検出困難回路部に対しては前記擬似乱数発生回路からの擬似乱数がスキャン入力可能に構成され、

テスト動作時において、前記擬似乱数発生回路を前記切替え手段を介して前記命令レジスタに接続し、前記擬似乱数発生回路からの擬似乱数を前記命令レジスタおよび前記故障検出困難回路部にスキャン入力するように構成してあることを

特徴とする半導体装置。

【請求項 4】 通常動作時の入力とテスト動作時の入力とを切り替えて命令レジスタに出力する切替え手段と、

テスト動作時に起動されて擬似乱数を発生する擬似乱数発生回路と、

前記擬似乱数発生回路から入力する前記擬似乱数が未定義命令の場合には定義命令に変換した上で出力し、前記擬似乱数が定義命令の場合には入力した前記擬似乱数を出力する未定義命令変換回路とを備えるとともに、

前記命令レジスタへの擬似乱数設定では故障検出が困難な故障検出困難回路部に対しては前記擬似乱数発生回路からの擬似乱数がスキャン入力可能に構成され、

テスト動作時において、前記擬似乱数発生回路を前記未定義命令変換回路および前記切替え手段を介して前記命令レジスタに接続し、前記擬似乱数発生回路からの擬似乱数を前記未定義命令変換回路および前記切替え手段を経由して前記命令レジスタに入力するとともに、前記擬似乱数発生回路からの擬似乱数を前記故障検出困難回路部にスキャン入力するように構成してあることを特徴とする半導体装置。

【請求項 5】 通常動作時の入力とテスト動作時の入力とを切り替えて命令レジスタに出力する切替え手段と、

テスト動作時に起動されて擬似乱数を発生する擬似乱数発生回路と、

内部レジスタの外部に対するストア命令を定期的に発行するストア命令発行回路とを備え、

テスト動作時において、前記擬似乱数発生回路を前記切替え手段を介して前記命令レジスタに接続し、前記擬似乱数発生回路からの擬似乱数を前記命令レジスタに入力する状態と、前記ストア命令発行回路からのストア命令を前記命令レジスタに入力する状態とを切り替えるように構成してあることを特徴とする半導体装置。

【請求項 6】 通常動作時の入力とテスト動作時の入力とを切り替えて命令レジスタに出力する切替え手段と、

テスト動作時に起動されて擬似乱数と内部レジスタの外部に対するストア命令

とを発行する擬似乱数・ストア命令発行回路と、

テスト動作時において、前記擬似乱数・ストア命令発行回路を前記切替え手段を介して前記命令レジスタに接続し、前記擬似乱数・ストア命令発行回路からの擬似乱数とストア命令とを切り替えて前記命令レジスタに入力するように構成してあることを特徴とする半導体装置。

【請求項 7】 通常動作時の入力とテスト動作時の入力とを切り替えて命令レジスタに出力する切替え手段と、

テスト動作時に起動されて擬似乱数と内部レジスタの外部に対するストア命令とを発行する擬似乱数・ストア命令発行回路と、

内部レジスタの値を圧縮して出力するデータ圧縮器とを備え、

テスト動作時において、前記擬似乱数・ストア命令発行回路を前記切替え手段を介して前記命令レジスタに接続し、前記擬似乱数・ストア命令発行回路からの擬似乱数とストア命令とを切り替えて前記命令レジスタに入力し、前記ストア命令時には前記データ圧縮器による圧縮データを外部にストアするように構成してあることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体装置の製造テストに関するものである。

【0002】

【従来の技術】

以下、従来の半導体装置の製造テストについて図 8 を用いて説明する。

【0003】

従来、半導体装置の製造テストでは、機能テストとスキャン・テストが実施されていた。

【0004】

機能テストは、データ入力 8 にテスト・ベクタを与え、組合せ回路 3, 4, 5 で論理演算が行われ、その結果としてのデータ出力 9 を期待値と比較することで故障を検出する製造テスト方法である。

【 0 0 0 5 】

一方、スキャン・テストでは、通常の動作とは関係なく、スキャンチェーンにより無作為にフリップ・フロップ（以下 F F）が連結される。この半導体装置 1 にスキャンテスト・モードでスキャン入力 6 からテスト・データをシフト入力し、各 F F に値をセットする。この後、通常動作モードでクロックを入力し、F F に挟まれた組合せ回路をテストする。再び、スキャンテスト・モードにして、そのデータをスキャン出力 7 よりシフト出力し、期待値と比較することで、各組合せ回路 3, 4, 5 の故障検出を行う。

【 0 0 0 6 】

【特許文献 1】

特開平 6 - 1 9 4 4 2 2 号公報（第 2 - 3 頁、第 1 図）

【 0 0 0 7 】

【発明が解決しようとする課題】

しかしながら、上記従来のテスト方法では以下の 2 つの理由から、効率的に高い故障検出率・実動作速度での故障検出を同時に実現することが困難という問題点があった。

【 0 0 0 8 】

（理由 1）

機能テストを行った場合、命令間の前後依存や、データ間の組合せ依存、さらには、割込み、例外処理等の組合せのタイミング等の多様な状況があるが、これらすべての状態を検査することは、テスト・パターン作成の面からもテスト実行の面からも困難であった。

【 0 0 0 9 】

（理由 2）

スキャン・テストは一般に通常動作速度より低速でテストを実施するため、遅延故障の検出が不可能であった。仮に、通常動作速度でスキャン・テストを実施するとした場合、各 F F を無作為にすべて連結しているため、通常動作時には起こり得ないトグル率（活性化率）となって、通常動作時に比べて過大な電流が流れてしまう。この過大電流により著しい電源電圧の低下（I R - D r o p）が発

生し、トランジスタの速度劣化が発生するために、遅延故障を検出することが困難となっていた。

【0010】

【課題を解決するための手段】

上記の課題を解決するために、本発明は次のような手段を講じる。

【0011】

(1) 第1の解決手段として、本発明による半導体装置は、通常動作時の入力とテスト動作時の入力とを切り替えて命令レジスタに出力する切替え手段と、テスト動作時に起動されて擬似乱数を発生する擬似乱数発生回路とを備え、テスト動作時において、前記擬似乱数発生回路を前記切替え手段を介して前記命令レジスタに接続し、前記擬似乱数発生回路からの擬似乱数を前記命令レジスタに入力するように構成してあることを特徴とする。

【0012】

この構成によれば、命令をランダムに実行可能とし、FFのトグル率について通常動作時と同じ状態でのランダム・テストを実現する。したがって、効率的に高い故障検出率・実動作速度での故障検出を同時に実現することができる。

【0013】

(2) 第2の解決手段として、本発明による半導体装置は、通常動作時の入力とテスト動作時の入力とを切り替えて命令レジスタに出力する切替え手段と、テスト動作時に起動されて擬似乱数を発生する擬似乱数発生回路と、前記擬似乱数発生回路から入力する前記擬似乱数が未定義命令の場合には定義命令に変換した上で出力し、前記擬似乱数が定義命令の場合には入力した前記擬似乱数を出力する未定義命令変換回路とを備え、テスト動作時において、前記擬似乱数発生回路を前記未定義命令変換回路および前記切替え手段を介して前記命令レジスタに接続し、前記擬似乱数発生回路からの擬似乱数を前記未定義命令変換回路および前記切替え手段を経由して前記命令レジスタに入力するように構成してあることを特徴とする。

【0014】

この構成によれば、定義命令をランダムに実行可能とし、FFのトグル率につ

いて通常動作時と同じ状態でのランダム・テストを実現する。したがって、効率的に高い故障検出率・実動作速度での故障検出を同時に実現することができる。

【0015】

(3) 第3の解決手段として、本発明による半導体装置は、通常動作時の入力とテスト動作時の入力とを切り替えて命令レジスタに出力する切替え手段と、テスト動作時に起動されて擬似乱数を発生する擬似乱数発生回路とを備えるとともに、前記命令レジスタへの擬似乱数設定では故障検出が困難な故障検出困難回路部に対しては前記擬似乱数発生回路からの擬似乱数がスキャン入力可能に構成され、テスト動作時において、前記擬似乱数発生回路を前記切替え手段を介して前記命令レジスタに接続し、前記擬似乱数発生回路からの擬似乱数を前記命令レジスタおよび前記故障検出困難回路部にスキャン入力するように構成してあることを特徴とする。

【0016】

この構成によれば、製造テスト時には、命令レジスタに直接、擬似乱数を入力可能であり、しかも、ランダム命令では制御困難な回路部分である故障検出困難回路部の制御・観測を可能とする。これにより、トグル率について通常動作時と同程度の状態でのランダム・テストを実現する。したがって、効率的に高い故障検出率・実動作速度での故障検出を同時に実現することができる。

【0017】

(4) 第4の解決手段として、本発明による半導体装置は、通常動作時の入力とテスト動作時の入力とを切り替えて命令レジスタに出力する切替え手段と、テスト動作時に起動されて擬似乱数を発生する擬似乱数発生回路と、前記擬似乱数発生回路から入力する前記擬似乱数が未定義命令の場合には定義命令に変換した上で出力し、前記擬似乱数が定義命令の場合には入力した前記擬似乱数を出力する未定義命令変換回路とを備えるとともに、前記命令レジスタへの擬似乱数設定では故障検出が困難な故障検出困難回路部に対しては前記擬似乱数発生回路からの擬似乱数がスキャン入力可能に構成され、テスト動作時において、前記擬似乱数発生回路を前記未定義命令変換回路および前記切替え手段を介して前記命令レジスタに接続し、前記擬似乱数発生回路からの擬似乱数を前記未定義命令変換回

路および前記切替え手段を経由して前記命令レジスタに入力するとともに、前記擬似乱数発生回路からの擬似乱数を前記故障検出困難回路部にスキャン入力するように構成してあることを特徴とする。

【0018】

この構成によれば、製造テスト時には、命令レジスタに直接、擬似乱数を入力可能であり、しかも、故障検出困難回路部の制御・観測を可能とする。これにより、トグル率について通常動作時と同程度の状態でのランダム・テストを実現する。したがって、効率的に高い故障検出率・実動作速度での故障検出を同時に実現することができる。

【0019】

(5) 第5の解決手段として、本発明による半導体装置は、通常動作時の入力とテスト動作時の入力とを切り替えて命令レジスタに出力する切替え手段と、テスト動作時に起動されて擬似乱数を発生する擬似乱数発生回路と、内部レジスタの外部に対するストア命令を定期的に発行するストア命令発行回路とを備え、テスト動作時において、前記擬似乱数発生回路を前記切替え手段を介して前記命令レジスタに接続し、前記擬似乱数発生回路からの擬似乱数を前記命令レジスタに入力する状態と、前記ストア命令発行回路からのストア命令を前記命令レジスタに入力する状態とを切り替えるように構成してあることを特徴とする。

【0020】

この構成によれば、／製造テスト時には、命令レジスタに擬似乱数またはストア命令を入力可能とする。これにより、命令をランダムに実行可能とし、かつ定期的にストア命令を実行可能とし、高機能なテスターを用いることなく、FFのトグル率について通常動作時と同じ状態でのランダム・テストおよび内部レジスタの観測を実現している。したがって、効率的に高い故障検出率・実動作速度での故障検出を同時に実現することができる。

【0021】

(6) 第6の解決手段として、本発明による半導体装置は、通常動作時の入力とテスト動作時の入力とを切り替えて命令レジスタに出力する切替え手段と、テスト動作時に起動されて擬似乱数と内部レジスタの外部に対するストア命令とを

発行する擬似乱数・ストア命令発行回路と、テスト動作時において、前記擬似乱数・ストア命令発行回路を前記切替え手段を介して前記命令レジスタに接続し、前記擬似乱数・ストア命令発行回路からの擬似乱数とストア命令とを切り替えて前記命令レジスタに入力するように構成してあることを特徴とする。

【0022】

この構成によれば、製造テスト時には、命令レジスタに擬似乱数またはストア命令を入力可能とする。これにより、命令をランダムに実行可能とし、かつ定期的にストア命令を実行可能とし、FFのトグル率について通常動作時と同じ状態でのランダム・テストおよび内部レジスタの観測を実現している。したがって、効率的に高い故障検出率・実動作速度での故障検出を同時に実現することができる。

【0023】

(7) 第7の解決手段として、本発明による半導体装置は、通常動作時の入力とテスト動作時の入力とを切り替えて命令レジスタに出力する切替え手段と、テスト動作時に起動されて擬似乱数と内部レジスタの外部に対するストア命令とを発行する擬似乱数・ストア命令発行回路と、内部レジスタの値を圧縮して出力するデータ圧縮器とを備え、テスト動作時において、前記擬似乱数・ストア命令発行回路を前記切替え手段を介して前記命令レジスタに接続し、前記擬似乱数・ストア命令発行回路からの擬似乱数とストア命令とを切り替えて前記命令レジスタに入力し、前記ストア命令時には前記データ圧縮器による圧縮データを外部にストアするように構成してあることを特徴とする。

【0024】

この構成によれば、命令をランダムに実行可能とし、かつ定期的に圧縮された内部レジスタの値をストアするストア命令を実行可能としている。データ圧縮器により圧縮された内部レジスタの値は、複数の入力パターンでの出力結果を組み合わせることにより検出可能である。以上により、FFのトグル率について通常動作時と同じ状態でのランダム・テストおよび内部レジスタの観測を実現している。これにより、効率的に高い故障検出率・実動作速度での故障検出を同時に実現することができる。

【0025】**【発明の実施の形態】**

以下、本発明にかかわる半導体装置の実施の形態を図面に基づいて説明する。

【0026】**(実施の形態1)**

図1は本発明の実施の形態1における半導体装置の構成を示すブロック図である。

【0027】

図1において、1は半導体装置、10はプロセッサ、8はプロセッサ10に対するデータ入力、9はプロセッサ10のデータ出力、11は新たな構成要素としての擬似乱数発生回路、14はプロセッサ10の内部の命令レジスタ、13は通常動作時にデータ入力8を選択しテスト動作時に擬似乱数発生回路11から出力された擬似乱数を選択してそれぞれ命令レジスタ14に出力するセクタ、12はセクタ13の選択入力の切り替えを制御するモード切替え信号である。セクタ13が特許請求の範囲にいう“切替え手段”に対応している。

【0028】

以上のように構成された半導体装置の製造テストについて、詳しく説明する。

【0029】

製造テスト時には、モード切替え信号12によりセクタ13を切り替え制御して、擬似乱数発生回路11で生成された擬似乱数が命令レジスタ14に直接に入力されるようにする。これにより、命令レジスタ14には、常に擬似乱数が入力される。つまり、擬似乱数を命令コードとして半導体装置が動作する。この擬似乱数発生回路11で生成される擬似乱数が、命令レジスタ14に入力された際のデータ出力期待値を、実行結果であるデータ出力9からのデータと比較することにより、半導体装置1の製造テストを行う。

【0030】

この方法では、プロセッサ10の命令をランダム実行することにより製造テストを行うため、通常動作時と同じ活性化率での製造テストが可能となる。

【0031】

(実施の形態 2)

図 2 は本発明の実施の形態 2 における半導体装置の構成を示すブロック図である。

【0032】

図 2 において、15 は新たな構成要素としての未定義命令変換回路である。この未定義命令変換回路 15 は、擬似乱数発生回路 11 から入力する擬似乱数が未定義命令の場合には定義命令に変換した上で出力し、擬似乱数が定義命令の場合には入力した擬似乱数をそのまま出力するように構成されている。未定義命令変換回路 15 は、擬似乱数発生回路 11 とセクタ 13 との間に挿入されている。その他の構成については実施の形態 1 の場合の図 1 と同様であるので、同一部分に同一符号を付すにとどめ、説明を省略する。

【0033】

製造テスト時において、モード切替え信号 12 によりセクタ 13 を切り替え制御して、擬似乱数発生回路 11 および未定義命令変換回路 15 の経路を命令レジスタ 14 に接続する。擬似乱数発生回路 11 で生成された擬似乱数が定義命令の場合には、未定義命令変換回路 15 はその定義命令をそのままセクタ 13 を介して命令レジスタ 14 に入力する。擬似乱数発生回路 11 で生成された擬似乱数が未定義命令の場合には、未定義命令変換回路 15 で定義命令に変換され、その出力がセクタ 13 を介して命令レジスタ 14 に入力される。これにより、命令レジスタ 14 には、常にランダムな定義命令が入力される。つまり、定義命令がランダム実行される。この未定義命令変換回路 15 で生成されるランダム命令が、命令レジスタ 14 に入力された際のデータ出力期待値を、実行結果であるデータ出力 9 からのデータと比較することにより、半導体装置 1 の製造テストを行う。

【0034】

この方法では、命令レジスタ 14 には定義命令のみが入力されることになるので、プロセッサ 10 が例外処理を実行することがなく、したがって、テスト時間を短縮することができる。また、プロセッサ 10 の命令をランダムに実行することにより製造テストを行うため、通常動作時と同じ活性化率での製造テストが可

能となる。

【0035】

(実施の形態3)

図3は本発明の実施の形態3における半導体装置の構成を示すブロック図である。

【0036】

図3において、1は半導体装置、10はプロセッサ、8はプロセッサ10に対するデータ入力、9はプロセッサ10のデータ出力、11は擬似乱数発生回路、14はプロセッサ10の内部の命令レジスタ、13は通常動作時にデータ入力8を選択しテスト動作時に擬似乱数発生回路11から出力された擬似乱数を選択してそれぞれ命令レジスタ14に出力するセクタ、12はセクタ13の選択入力の切り替えを制御するモード切替え信号、16はランダム命令では制御困難な回路部分である故障検出困難回路部、17は故障検出困難回路部16に対する制御回路である。故障検出困難回路部16におけるFFに対して擬似乱数発生回路11からスキャン入力可能な構成となっている。

【0037】

製造テスト時には、モード切替え信号12によりセクタ13を切り替え制御して、擬似乱数発生回路11で生成された擬似乱数が命令レジスタ14に直接に入力されるようにする。これにより、命令レジスタ14には、常に擬似乱数が入力される。つまり、擬似乱数を命令コードとして半導体装置1が動作する。この擬似乱数発生回路11で生成される擬似乱数が、命令レジスタ14に入力された際のデータ出力期待値を、実行結果であるデータ出力9からのデータと比較することにより、半導体装置1の製造テストを行う。

【0038】

また、スキャン設計が実施されている故障検出困難回路部16のFFに対して、制御回路17を用いて従来技術と同じ方法で、擬似乱数発生回路11からスキャン入力することにより、故障検出困難回路部16の故障を検出することが可能である。これにより、高い故障検出率を容易に実現することができる。この方法では、プロセッサ10の命令をランダム実行することにより製造テストを行うた

め、通常動作時と同程度の活性化率での製造テストが可能である。

【0039】

(実施の形態4)

図4は本発明の実施の形態4における半導体装置の構成を示すブロック図である。

【0040】

実施の形態4の半導体装置1は、図3に示す実施の形態3の構成において、実施の形態2の場合と同様の未定義命令変換回路15を追加したものである。すなわち、未定義命令変換回路15は、擬似乱数発生回路11とセレクタ13との間に挿入されて、擬似乱数発生回路11から入力する擬似乱数が未定義命令の場合には定義命令に変換した上で出力し、擬似乱数が定義命令の場合には入力した擬似乱数をそのまま出力するように構成されている。その他の構成については実施の形態3の場合の図3と同様であるので、同一部分に同一符号を付すにとどめ、説明を省略する。

【0041】

製造テスト時において、モード切替え信号12によりセレクタ13を切り替え制御して、擬似乱数発生回路11および未定義命令変換回路15の経路を命令レジスタ14に接続する。擬似乱数発生回路11で生成された擬似乱数が定義命令の場合には、未定義命令変換回路15はその定義命令をそのままセレクタ13を介して命令レジスタ14に入力する。擬似乱数発生回路11で生成された擬似乱数が未定義命令の場合には、未定義命令変換回路15で定義命令に変換され、その出力がセレクタ13を介して命令レジスタ14に入力される。これにより、命令レジスタ14には、常にランダムな定義命令が入力される。つまり、定義命令がランダム実行される。この未定義命令変換回路15で生成されるランダム命令が、命令レジスタ14に入力された際のデータ出力期待値を、実行結果であるデータ出力9からのデータと比較することにより、半導体装置1の製造テストを行う。

【0042】

また、スキャン設計が実施されている故障検出困難回路部16のFFに対して

、制御回路 17 を用いて従来技術と同じ方法で、擬似乱数発生回路 11 からスキャン入力することにより、故障検出困難回路部 16 の故障を検出することが可能である。これにより、高い故障検出率を容易に実現することができる。この方法では、プロセッサ 10 の命令をランダム実行することにより製造テストを行うため、通常動作時と同程度の活性化率での効率的な製造テストが可能である。

【0043】

(実施の形態 5)

図 5 は本発明の実施の形態 5 における半導体装置の構成を示すブロック図である。

【0044】

実施の形態 5 の半導体装置 1 は、図 1 に示す実施の形態 1 の構成において、ストア命令発行回路 18 とセクタ 19 を追加したものである。ストア命令発行回路 18 は、内部レジスタ（図示省略）の値を外部にストアするストア命令を定期的に発行するものである。セクタ 19 は、擬似乱数発生回路 11 とストア命令発行回路 18 とを切り替えてセクタ 13 に出力するように構成されている。すなわち、プロセッサ 10 の内部の命令レジスタ 14 に、擬似乱数もしくはストア命令を入力可能な構成となっている。その他の構成については実施の形態 1 の場合の図 1 と同様であるので、同一部分に同一符号を付すにとどめ、説明を省略する。

【0045】

製造テスト時には、モード切替え信号 12 によりセクタ 13 を切り替え制御して、擬似乱数発生回路 11 で生成された擬似乱数もしくはストア命令発行回路 18 から出力されたストア命令がセクタ 13 を介して命令レジスタ 14 に入力されるようにする。セクタ 19 は擬似乱数発生回路 11 とストア命令発行回路 18 とを定期的に切り替える。これにより、命令レジスタ 14 には、常に擬似乱数もしくはストア命令が入力される。つまり、命令をランダム実行しつつ、定期的にストア命令が実行される。この擬似乱数発生回路 11 で生成される擬似乱数とストア命令発行回路 18 で生成されるストア命令が命令レジスタ 14 に入力された際のデータ出力期待値を、実行結果であるデータ出力 9 からのデータと比較

することにより、半導体装置 1 の製造テストを行う。

【0046】

この方法では、プロセッサ 10 の命令をランダム実行することにより製造テストを行うため、通常動作時と同じ活性化率での効率的な製造テストが可能であり、定期的にストア命令により内部レジスタの値を観測することが可能であるので、効率的に製造テストを行うことが可能である。

【0047】

(実施の形態 6)

図 6 は本発明の実施の形態 6 における半導体装置の構成を示すブロック図である。

【0048】

実施の形態 6 の半導体装置 1 は、図 1 に示す実施の形態 1 の構成において、擬似乱数発生回路 11 に代えて擬似乱数・ストア命令発行回路 20 を具備させたものである。この擬似乱数・ストア命令発行回路 20 は、擬似乱数と内部レジスタの外部に対するストア命令とを定期的に切り替えて出力するものである。すなわち、プロセッサ 10 の内部の命令レジスタ 14 に、擬似乱数もしくはストア命令を入力可能な構成となっている。その他の構成については実施の形態 1 の場合の図 1 と同様であるので、同一部分に同一符号を付すにとどめ、説明を省略する。

【0049】

製造テスト時には、モード切替え信号 12 によりセクタ 13 を切り替え制御して、擬似乱数・ストア命令発行回路 20 で生成された擬似乱数もしくはストア命令がセクタ 13 を介して命令レジスタ 14 に入力されるようにする。これにより、命令レジスタ 14 には、常に擬似乱数もしくはストア命令が入力される。つまり、命令をランダム実行しつつ、定期的にストア命令が実行される。この擬似乱数・ストア命令発行回路 20 で生成される擬似乱数およびストア命令が命令レジスタ 14 に入力された際のデータ出力期待値を、実行結果であるデータ出力 9 からのデータと比較することにより、半導体装置 1 の製造テストを行う。

【0050】

この方法では、プロセッサ 10 の命令をランダム実行することにより製造テス

トを行うため、通常動作時と同じ活性化率での効率的な製造テストが可能であり、定期的にストア命令により内部レジスタの値を観測することが可能であるので、効率的に製造テストを行うことが可能である。

【0051】

(実施の形態7)

図7は本発明の実施の形態7における半導体装置の構成を示すブロック図である。

【0052】

実施の形態7の半導体装置1は、図6に示す実施の形態6の構成において、内部レジスタ21の値を圧縮するデータ圧縮器22を追加したものである。その他の構成については実施の形態6の場合の図6と同様であるので、同一部分に同一符号を付すにとどめ、説明を省略する。

【0053】

製造テスト時には、モード切替え信号12によりセクタ13を切り替え制御して、擬似乱数・ストア命令発行回路20で生成された擬似乱数もしくはストア命令がセクタ13を介して命令レジスタ14に入力されるようにする。これにより、命令レジスタ14には、常に擬似乱数もしくはストア命令が入力される。つまり、命令をランダム実行しつつ、定期的にストア命令が実行される。擬似乱数・ストア命令発行回路20で生成される擬似乱数およびストア命令が命令レジスタ14に入力された際のデータ出力期待値を、実行結果であるデータ出力9からのデータと比較することにより、半導体装置1の製造テストを行う。

【0054】

内部レジスタ21は複数あり、すべての内部レジスタ21の値をストアするには、通常では複数回ストア命令を実行しなければならない。本実施の形態の半導体装置1では複数の入力パターンで、内部レジスタ21の値をデータ圧縮器22により圧縮した上で出力し、各パターンでの出力結果を組み合わせることにより、故障検出・観測が可能である。

【0055】

この方法では、プロセッサ10の命令をランダム実行することにより製造テス

トを行うため、通常動作時と同じ活性化率での効率的な製造テストが可能であり、定期的にストア命令により内部レジスタの値を観測することが可能であるので、効率的に製造テストを行うことが可能である。

【 0 0 5 6 】

【発明の効果】

本発明によれば、命令レジスタに直接、擬似乱数を入力してランダム命令を実行することにより、実際の動作時と同じ活性化率を実現し、実動作速度での製造テストを実現することができる。

【 0 0 5 7 】

また、本発明によれば、擬似乱数発生回路で生成した擬似乱数を未定義命令変換回路で定義命令に変換し、それを直接、命令レジスタに入力してランダム命令を実行することにより、実際の動作時と同じ活性化率を実現し、実動作速度での製造テストを実現することができる。

【 0 0 5 8 】

また、本発明によれば、命令レジスタに直接、擬似乱数を入力してランダム命令を実行すると同時に、故障検出困難回路部に対しては擬似乱数発生回路を用いてスキャン・テストを行うことで、実際の動作時と同じ活性化率を実現し、実動作速度での効率的な製造テストを実現することができる。

【 0 0 5 9 】

また、本発明によれば、擬似乱数発生回路で生成した擬似乱数を未定義命令変換回路で定義命令に変換し、それを直接、命令レジスタに入力してランダム命令を実行すると同時に、故障検出困難回路部に対しては擬似乱数発生回路を用いてスキャン・テストを行うことで、実際の動作時と同じ活性化率を実現し、実動作速度での効率的な製造テストを実現することができる。

【 0 0 6 0 】

また、本発明によれば、命令レジスタに直接、擬似乱数とストア命令を切り替えて入力し、ランダム命令を実行しつつ、ストア命令を実行することにより、実際の動作時と同じ活性化率を実現し、内部レジスタの値を観測しながら、実動作速度での製造テストを実現することができる。

【0061】

また、本発明によれば、命令レジスタに直接、擬似乱数とストア命令を切り替えて入力し、ランダム命令を実行しつつ、圧縮された内部レジスタのストア命令を実行することにより、実際の動作時と同じ活性化率を実現し、内部レジスタの値を観測しながら、実動作速度での製造テストを実現することができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1における半導体装置の構成を示すブロック図

【図2】 本発明の実施の形態2における半導体装置の構成を示すブロック図

【図3】 本発明の実施の形態3における半導体装置の構成を示すブロック図

【図4】 本発明の実施の形態4における半導体装置の構成を示すブロック図

【図5】 本発明の実施の形態5における半導体装置の構成を示すブロック図

【図6】 本発明の実施の形態6における半導体装置の構成を示すブロック図

【図7】 本発明の実施の形態7における半導体装置の構成を示すブロック図

【図8】 従来技術における半導体装置の構成を示すブロック図

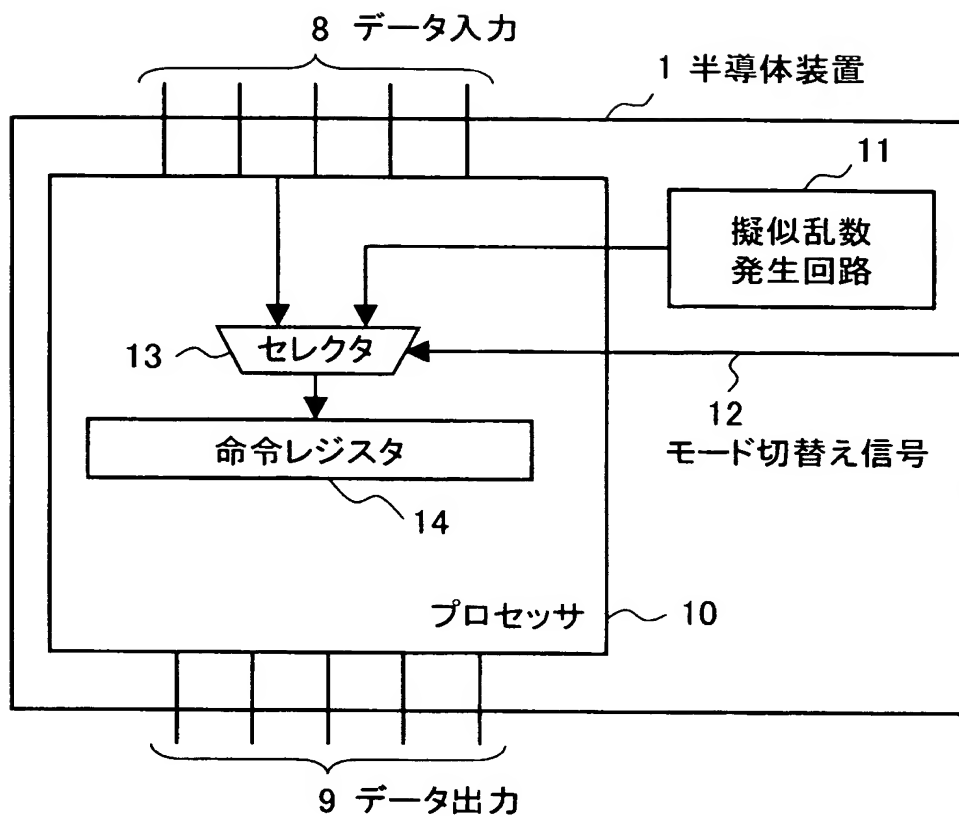
【符号の説明】

- 1 半導体装置
- 2 フリップ・フロップ (FF)
- 3, 4, 5 組合せ回路
- 6 スキャン入力
- 7 スキャン出力
- 8 データ入力
- 9 データ出力
- 10 プロセッサ
- 11 擬似乱数発生回路
- 12 モード切替え信号
- 13 セレクタ
- 14 命令レジスタ
- 15 未定義命令変換回路
- 16 故障検出困難回路部

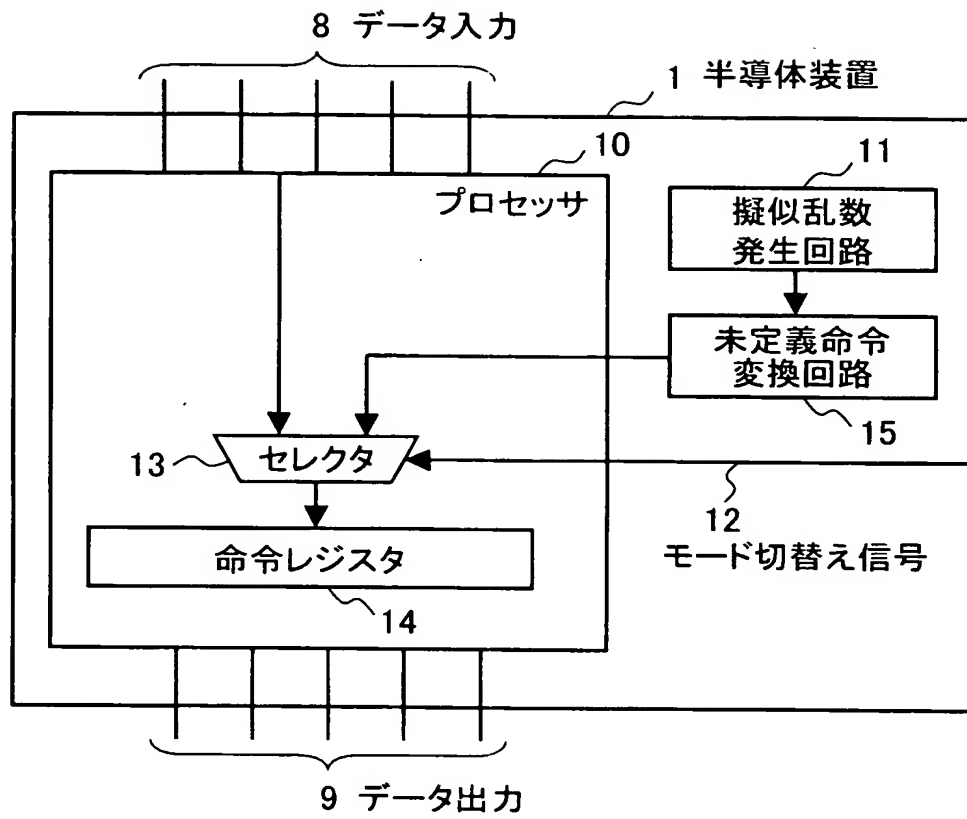
- 1 7 制御回路
- 1 8 ストア命令発行回路
- 1 9 セレクタ
- 2 0 擬似乱数・ストア命令発行回路
- 2 1 内部レジスタ
- 2 2 データ圧縮器

【書類名】 図面

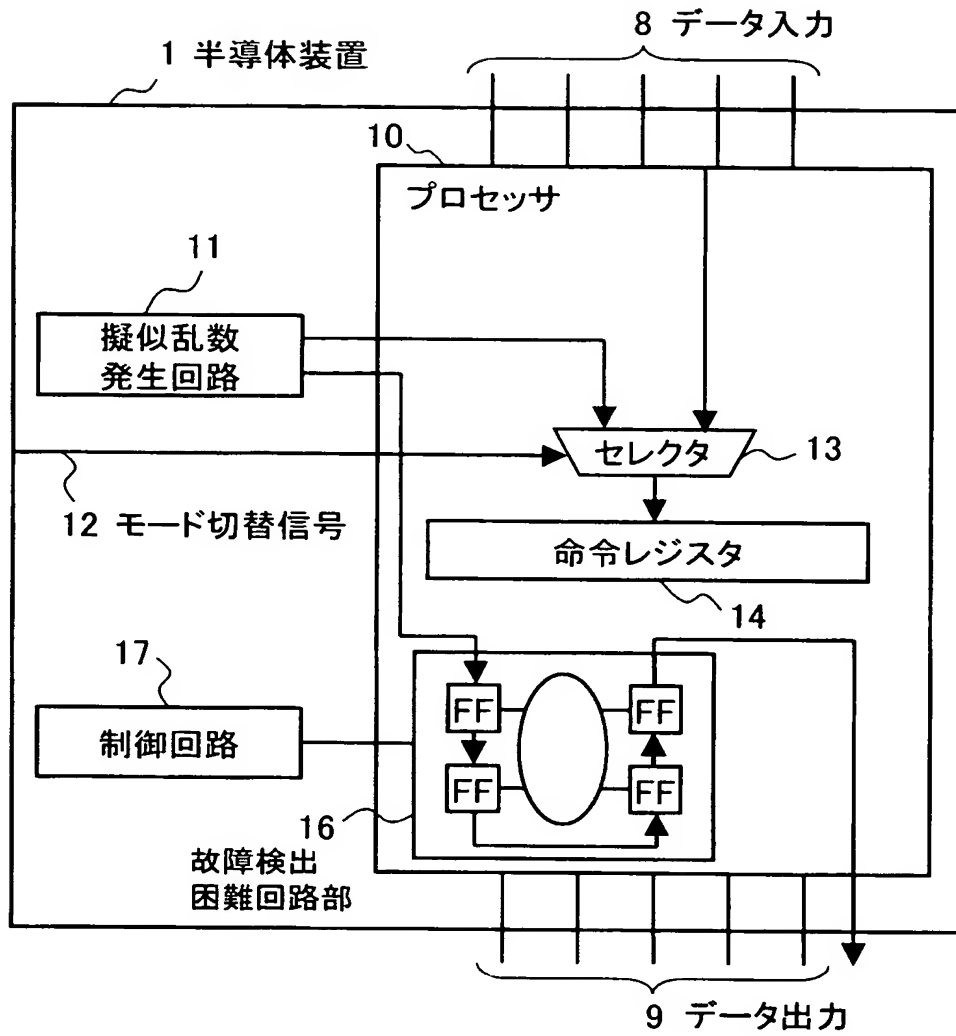
【図 1】



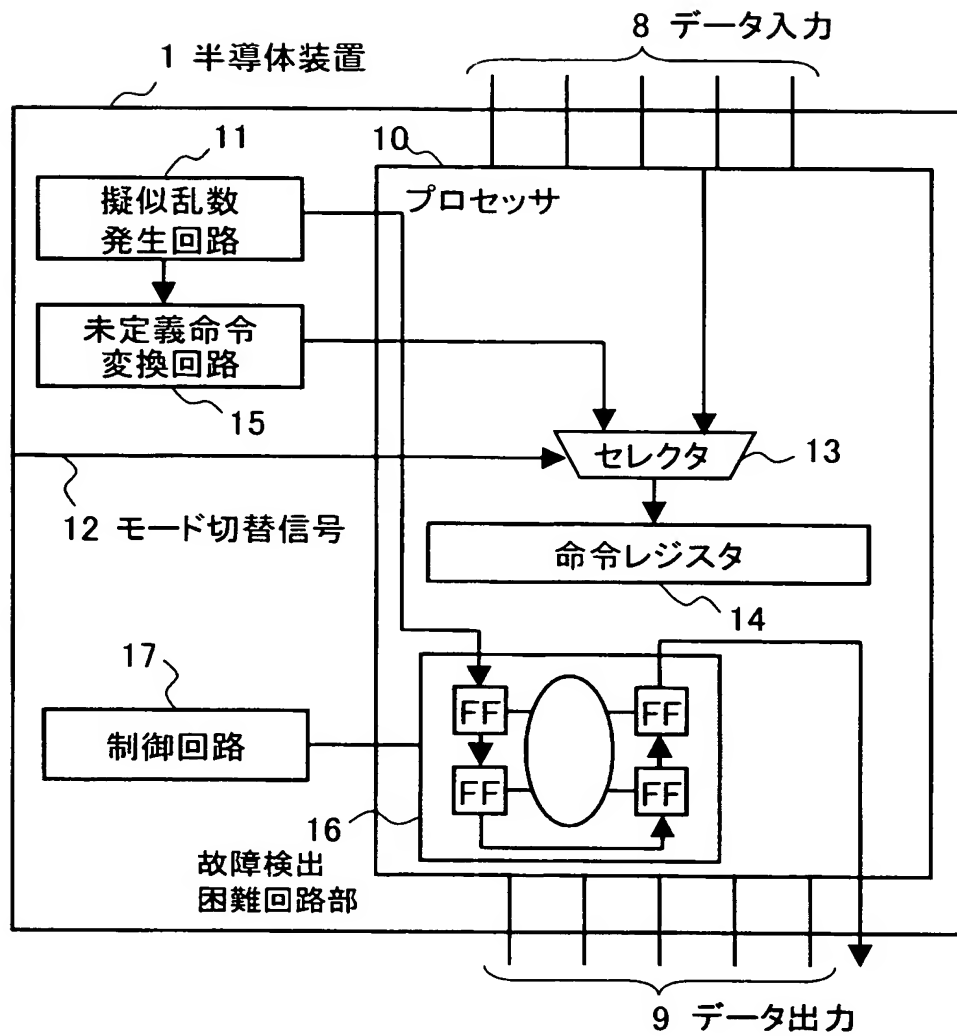
【図 2】



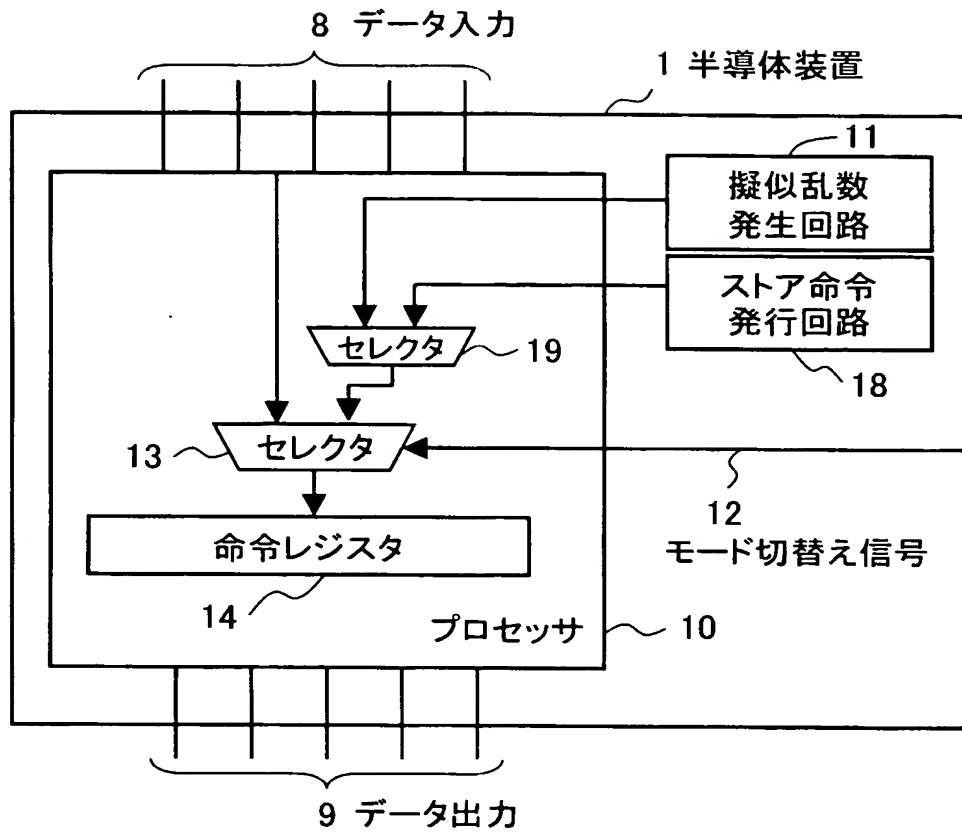
【図 3】



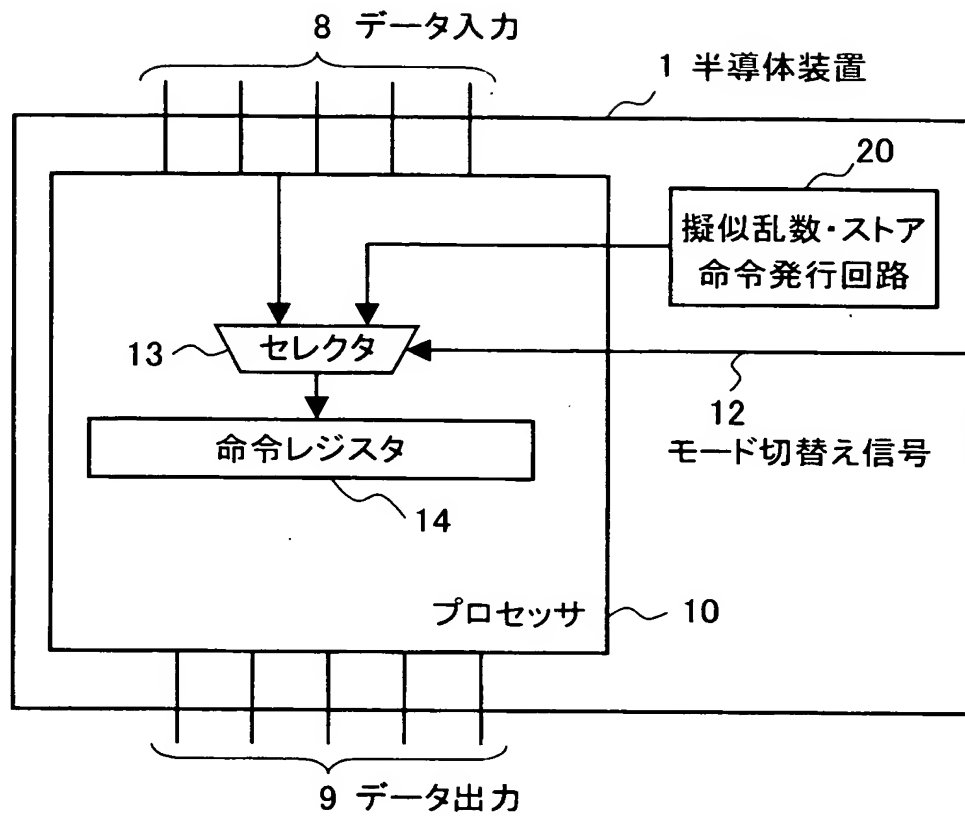
【図 4】



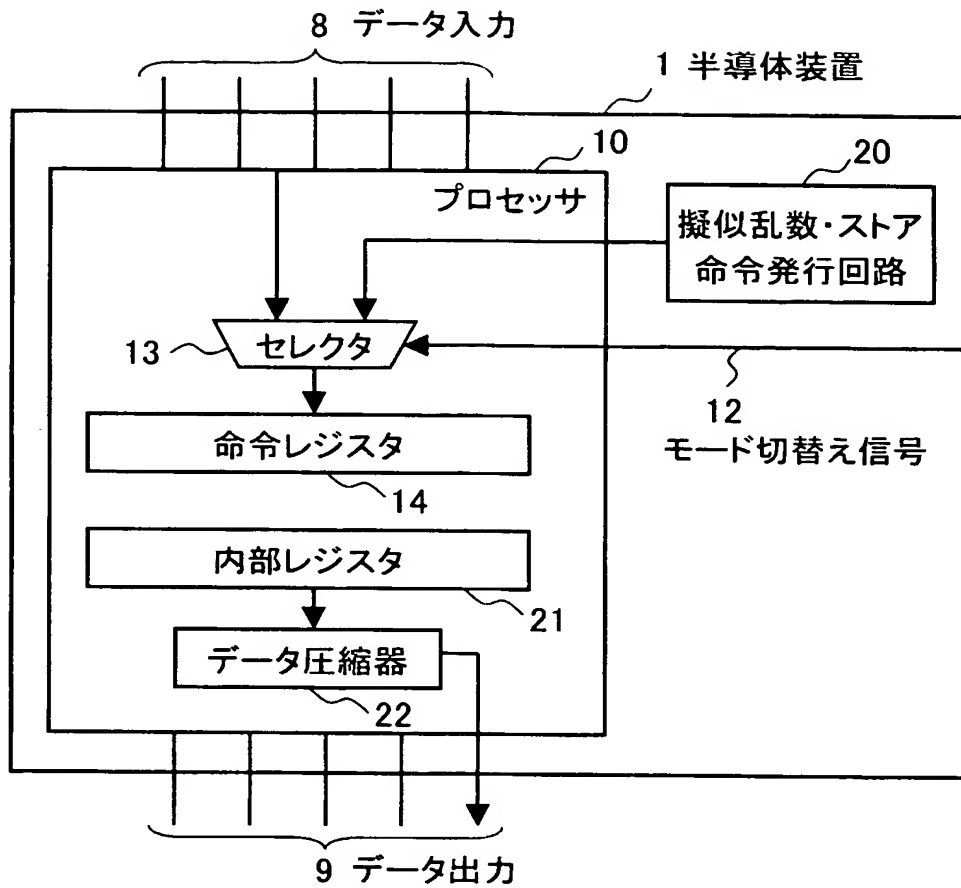
【図 5】



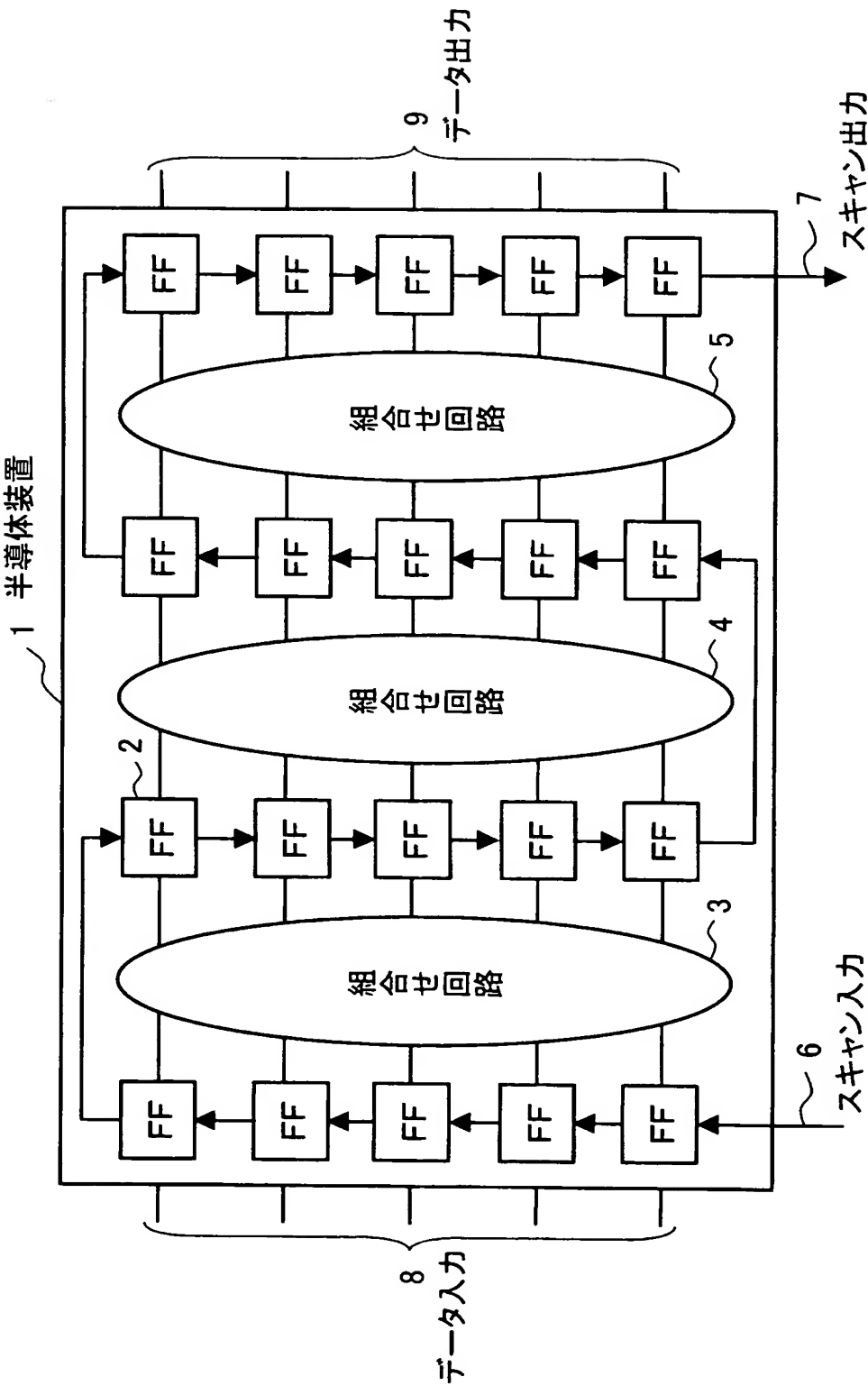
【図 6】



【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 フルスキャン設計を行う場合、すべてのフリップ・フロップがトグルするために通常動作時に比べて過大な電流が流れ、I R - D r o p（電源電圧の低下）が発生し、実速度での検査が困難である。また、機能テストを行う場合、高い故障検出率を実現するにはテスト設計工数・時間が膨大となる。

【解決手段】 擬似乱数発生回路 1 1 で生成した擬似乱数をセレクタ 1 3 を介して命令レジスタ 1 4 に直接に入力してランダム命令を実行し、通常動作時と同じ活性化率でのランダム・テスト実行することによって、効率的に高い故障検出率と実動作速度での検査を実現する半導体装置。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 1 1 9 9 2 3
受付番号	5 0 3 0 0 6 8 7 7 9 7
書類名	特許願
担当官	第七担当上席 0 0 9 6
作成日	平成 1 5 年 4 月 2 5 日

< 認定情報・付加情報 >

【提出日】 平成15年 4月24日

次頁無

特願 2 0 0 3 - 1 1 9 9 2 3

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 8 2 1]

1 . 変 更 年 月 日

1 9 9 0 年 8 月 2 8 日

[変 更 理 由]

新 規 登 録

住 所

大 阪 府 門 真 市 大 字 門 真 1 0 0 6 番 地

氏 名

松 下 電 器 産 業 株 式 会 社